

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-354530

(43)Date of publication of application : 24.12.1999

---

(51)Int.Cl. H01L 21/331  
H01L 29/73

---

(21)Application number : 10-155792 (71)Applicant : NEC CORP  
(22)Date of filing : 04.06.1998 (72)Inventor : SAWAIRI AKIHIRO

---

## (54) BI-POLAR TYPE SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

PROBLEM TO BE SOLVED: To reduce the connecting resistance of an intrinsic base and an electrode polysilicon by a self-alignment bi-polar transistor whose base layer is formed by selective epitaxial growth.

SOLUTION: A polycrystalline silicon layer 13 is selectively grown at the opening side wall lower part and side face of a polycrystalline silicon layer 8 for a base electrode having a hood-shaped structure and at the time of connecting the polycrystalline silicon layer 8 with an intrinsic base layer 12 the polycrystalline silicon layer 8 is side etched by 1/2 of the thickness of the polycrystalline silicon layer 13 or more than an upper insulating layer. Thus a bi-polar transistor having a sufficient pressure resistance to a low base resistance can be obtained.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] In a bipolar type semiconductor device by which a p<sup>+</sup> type polycrystalline silicon layer for base electrodes is connected with a true nature base layer via a p<sup>+</sup> type polycrystalline silicon film for connection The side of this p<sup>+</sup> type polycrystalline silicon layer is retreated from a side position of the 2nd insulator layer formed in this p<sup>+</sup> type polycrystalline silicon layer upper part A bipolar type semiconductor device with which it comes to form this p<sup>+</sup> type polycrystalline silicon film in an eaves-like structure part formed with all the sides of this p<sup>+</sup> type polycrystalline silicon layer and the 1st insulator layer of the p<sup>+</sup> type polycrystalline silicon layer lower part.

[Claim 2] The semiconductor device according to claim 1 wherein a retreat amount

from said second insulator layer is 1/2 or more [ of thickness of a film of said p<sup>+</sup> type polycrystalline silicon film for connection ].

[Claim 3]The semiconductor device according to claim 1 or 2wherein the first insulator layer is silicon oxidesilicon nitride filmsor such bipolar membrane.

[Claim 4]A semiconductor device given in any 1 paragraph of claims 1 thru/or 3wherein the second insulator layer is a silicon nitride filmsilicon oxideor these multilayer films.

[Claim 5]A manufacturing method of a semiconductor device characterized by comprising the following.

A process of forming the first insulator layerp<sup>+</sup> type polycrystalline silicon layerand second insulator layer one by one on a n type semiconductor layer.

A process of forming an anisotropic etching dehiscence mouth one by one by PR for a part of second insulator layer and p<sup>+</sup> type polycrystalline silicon layer.

A process which etches the side of a p<sup>+</sup> type polycrystalline silicon layerand is retreated from a side position of the 2nd insulator layer.

A process in which carry out isotropic etching of said first insulator layerand expose said n type semiconductor layer surfaceand retreat the first insulator layer side from the side of a p<sup>+</sup> type polycrystalline silicon layerand an eaves-like structure part is made to formA true nature base layer is grown up into the n type semiconductor layer surface by an alternative crystal growth methodAnd a p<sup>+</sup> type polycrystalline silicon film is grown up into all the sides and the bottom of a p<sup>+</sup> type polycrystalline silicon layer which were exposed in an openingAnd a process formed so that said n type semiconductor layer may be connected on the bottom and the side of said p<sup>+</sup> type polycrystalline silicon film and a process of forming silicon oxide in the side of said second insulator layer in said openingand said p<sup>+</sup> type polycrystalline silicon film.

[Claim 6]A manufacturing method of the semiconductor device according to claim 5wherein a retreat amount from said second insulator layer is 1/2 or more [ of thickness of a film of said p<sup>+</sup> type polycrystalline silicon film for connection ].

[Claim 7]A manufacturing method of the semiconductor device according to claim 5 or 6wherein the first insulator layer is silicon oxidesilicon nitride filmsor such bipolar membrane.

[Claim 8]A manufacturing method of the semiconductor device according to any one of claims 5 to 7wherein the second insulator layer is a silicon nitride filmsilicon oxideor these multilayer films.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]Especially this invention relates to the semiconductor device which reduced the connection resistance of a true base layer and an extraction electrode about a bipolar type semiconductor device.

[0002]

[Description of the Prior Art]The example of the conventional bipolar transistor is indicated by the publication-of-patent-applications common 05-235017. This is shown in drawing 3.

[0003]The indicated conventional bipolar transistorOn the surface of the p<sup>-</sup> type silicon substrate 101 which resistivity is 10 - 20 ohm-cmand (100) has a plane direction. It has the n<sup>+</sup> type buried layer 102 and the p<sup>+</sup> type buried layer 103 for channel stoppersIt has concentration abbreviation  $1 \times 10^{17} \text{cm}^{-3}$  and the n type silicon epitaxial layer 104 about 0.4 micrometer thick on themThe silicon nitride film 106a which separates the localized-oxidation-of-silicon layer 105 for separating between elementsthe n<sup>+</sup> type Lynn diffusion zone 109 as an object for collector-electrode drawersthe polycrystalline silicon layer 108 for base electrodesand an epitaxial layerIt has the single crystal emitter 116 with which the polycrystalline silicon film 113 and n type impurity which connect p type  $3 \times 10^{18} \text{cm}^{-3}$ the 60 nm (nano meter)-thick single-crystal-silicon intrinsic base layer 112the intrinsic base layer 112and the polycrystalline silicon layer 108 were added. A basean emitterand a collector region have the polycrystalline silicon layer 108 for base electrodesthe polycrystalline silicon layer 107 for collector electrodesand the polycrystalline silicon layer 115 for emitters respectivelyIt has aluminum system electrode 117 via the silicon oxide 110a which has separated a metal electrode and the polycrystalline silicon for electrodes.

[0004]

[Problem(s) to be Solved by the Invention]Although the polycrystalline silicon layer 113 for true nature base cash drawers which connects the polycrystalline silicon layer 108 for base electrodes and the intrinsic base layer 112 is formed in the bottom and the side of the polycrystalline silicon layer 108 for base electrodes in this conventional technologySince it has not provided all over the polycrystalline silicon layer 108 sideconnection resistance does not become small enough. The connection with the intrinsic base layer 112 was mainly made only in the lower part of the polycrystalline silicon layer 113and since it was connected when a field and a field contactthis field originated in the heterogeneity of growth thicknessand contacted only partlybut had the problem that contact resistance did not become small enough.

[0005]

[Means for Solving the Problem]When a semiconductor device of this invention grows up selectively an intrinsic base layer and a p<sup>+</sup> type polycrystalline silicon film for connectionRather than the side of insulating layerssuch as an upside silicon nitride filmexpose the whole side of a p<sup>+</sup> type polycrystalline silicon layer for base electrodesmake it retreat furtherand a p<sup>+</sup> type polycrystalline silicon film for connectionIn order to be connected on an intrinsic base layerthe sideand the bottom

and to make large connection width in the p<sup>+</sup> type polycrystalline silicon film sideinsulator layerssuch as silicon oxide in the lower part of a p<sup>+</sup> type polycrystalline silicon film for base electrodesare made thinner than a Prior art.

[0006]Namelyin a bipolar type semiconductor device by which a p<sup>+</sup> type polycrystalline silicon layer for base electrodes is connected with a true nature base layer via a p<sup>+</sup> type polycrystalline silicon film for connection as for this inventionThe side of this p<sup>+</sup> type polycrystalline silicon layer is retreated from a side position of the 2nd insulator layer formed in this p<sup>+</sup> type polycrystalline silicon layer upper partIt is a bipolar type semiconductor device with which it comes to form this p<sup>+</sup> type polycrystalline silicon film in an eaves-like structure part formed with all the sides of this p<sup>+</sup> type polycrystalline silicon layerand the 1st insulator layer of the p<sup>+</sup> type polycrystalline silicon layer lower part.

[0007]In above-mentioned this inventionit is preferred that a retreat amount from said second insulator layer is 1/2 or more [ of thickness of a film of said p<sup>+</sup> type polycrystalline silicon film for connection ].

[0008]In the above or the aboveit is preferred that the first insulator layer is silicon oxidesilicon nitride filmsor such bipolar membrane.

[0009]In the above or the aboveit is preferred that the second insulator layer is a silicon nitride filmsilicon oxideor these multilayer films.

[0010]A thing this invention is characterized by that comprises the following and which also provides a manufacturing method of a semiconductor device.

A process of forming the first insulator layerp<sup>+</sup> type polycrystalline silicon layerand second insulator layer one by one on a n type semiconductor layer.

A process of forming an anisotropic etching dehiscence mouth one by one by PR for a part of second insulator layer and p<sup>+</sup> type polycrystalline silicon layer.

A process which etches the side of a p<sup>+</sup> type polycrystalline silicon layerand is retreated from a side position of the 2nd insulator layer.

A process in which carry out isotropic etching of said first insulator layerand expose said n type semiconductor layer surfaceand retreat the first insulator layer side from the side of a p<sup>+</sup> type polycrystalline silicon layerand an eaves-like structure part is made to formA true nature base layer is grown up into the n type semiconductor layer surface by an alternative crystal growth methodAnd a p<sup>+</sup> type polycrystalline silicon film is grown up into all the sides and the bottom of a p<sup>+</sup> type polycrystalline silicon layer which were exposed in an openingAnd a process formed so that said n type semiconductor layer may be connected on the bottom and the side of said p<sup>+</sup> type polycrystalline silicon film and a process of forming silicon oxide in the side of said second insulator layer in said openingand said p<sup>+</sup> type polycrystalline silicon film.

[0011]It is preferred that a retreat amount from said second insulator layer is 1/2 or more [ of thickness of a film of said p<sup>+</sup> type polycrystalline silicon film for connection ].

[0012]It is preferred that the first insulator layer is silicon oxidesilicon nitride filmsor

such bipolar membrane.

[0013] It is preferred that the second insulator layer is a silicon nitride film or these multilayer films.

[0014]

[Embodiment of the Invention] In this invention the silicon nitride film 10 which is the p<sup>+</sup> type polycrystalline silicon layer 8 and the second insulator layer which are the silicon oxide 6 and the semiconductor membrane for base electrodes which are the first insulator layer is formed one by one on the n type silicon layer 4 which is a n type semiconductor layer (for example refer to (a) of drawing 2) PR and anisotropic etching remove a part of silicon nitride film 10 which is the second insulator layer and p<sup>+</sup> type polycrystalline silicon layer 8.

[0015] Next by retreating all the sides of the p<sup>+</sup> type polycrystalline silicon layer 8 rather than the side of the silicon nitride film 10 which is the second insulator layer When growing up the intrinsic base layer 12 selectively the p<sup>+</sup> type polycrystalline silicon film 13 simultaneously formed in all the sides of the p<sup>+</sup> type polycrystalline silicon layer 8 is kept from jumping out too much inside an opening. The quantity retreated from the side of a silicon nitride film carries out 1/2 or more [ of the thickness of the p<sup>+</sup> type polycrystalline silicon film 13 ] and more desirable retreat comparable as thickness preferably. Resistance to an electrode becomes large and inconvenience produces an excessive retreat.

[0016] Then by exposing the n type silicon layer 4 and forming an eaves-like structure part in the lower part of the p<sup>+</sup> type polycrystalline silicon layer 8 and performing the post selection crystal growth by carrying out isotropic etching of the silicon oxide 6 which is the first insulator layer The intrinsic base layer 12 containing boron is formed in the n type silicon layer 4 surface and the p<sup>+</sup> type polycrystalline silicon film 13 is formed in all the sides and the lower part which the p<sup>+</sup> type polycrystalline silicon layer 8 exposed simultaneously.

[0017] It is connected certainly continuously without the p<sup>+</sup> type polycrystalline silicon layer 8 surface which are the p<sup>+</sup> type polycrystalline silicon film 13 and an intrinsic base layer sandwiching an interface by the upper surface of the intrinsic base layer 12 and the bottom of the p<sup>+</sup> type polycrystalline silicon film 13 contacting in the middle of growth and also growing up. Thereby the base resistance produced by connection can be reduced further.

[0018] A single crystal may be sufficient as the p<sup>+</sup> type polycrystalline silicon layer 8 and bipolar membrane with the low resistance film which has the heat resistance of about 950 °C such as a high melting point metal silicide layer may be sufficient as it.

[0019] When the composition of the silicon nitride film 10 which is the silicon oxide 6 and the second insulator layer which are the first insulator layer carries out isotropic etching of the silicon oxide 6 which is the first insulator layer the silicon nitride film 10 which is the second insulator layer is almost made not to be etched. Although it is common to make it the surface serve as a silicon nitride film at least as for the silicon

nitride film 10 whose surfaces are silicon oxide and the second insulator layer at least other composition is possible for the silicon oxide 6 which is the first insulator layer.

[0020]

[Example] Next this invention is explained with reference to drawings.

[0021] Example 1 drawing 1 is drawing of longitudinal section of the semiconductor device used as the first example of this invention. Although a npn type bipolar transistor is explained the same may be said of a pnp type.

[0022] The resistivity of the semiconductor device of this invention is 10 – 20 ohm-cm. (100) It has the p<sup>+</sup> type buried layer 3 used as the n<sup>+</sup> type buried layer 2 and a channel stopper on the p<sup>-</sup> type silicon substrate 1 surface of a plane direction. It has concentration abbreviation  $1 \times 10^{17} \text{cm}^{-3}$  and the n type silicon layer 4 about 0.4 micrometer thick on them and has selectively the localized-oxidation-of-silicon layer 5 of the oxide film which reaches a semiconductor substrate from the n type silicon layer 4 surface.

[0023] The silicon oxide 6 which is the first insulator layer is formed on the n type silicon layer 4 and the localized-oxidation-of-silicon layer 5. It has the n<sup>+</sup> type polycrystalline silicon layer 7 which serves as a collector electrode at one side of the opening selectively provided in the field without a localized-oxidation-of-silicon layer and has the n<sup>+</sup> type silicon field 9 caudad from the surface of the n type silicon layer 4 which touches the n<sup>+</sup> type polycrystalline silicon layer 7.

[0024] In the circumference upper part of the opening of another side it has from an opening the p<sup>+</sup> type polycrystalline silicon layer 8 for base electrodes which projected only fixed length horizontally on an opening and has in it the silicon nitride film 10 which is the second insulator layer projected horizontally on an opening rather than the p<sup>+</sup> type polycrystalline silicon layer 8 on it.

[0025] Boron concentration on the n type silicon layer 4 inside an opening Abbreviation  $3 \times 10^{18} \text{cm}^{-3}$  Thickness has the intrinsic base layer 12 which is about 60 nm and is connected with the bottom of the p<sup>+</sup> type polycrystalline silicon film 13 and the side which were established in all the sides and the bottom of the p<sup>+</sup> type polycrystalline silicon layer 8.

[0026] In the opening side face around the intrinsic base layer 12 it has the silicon oxide 14 which touches the intrinsic base layer 12. It has the emitter 16 on the intrinsic base layer 12 surface in the opening formed of the silicon oxide 14. It has the n<sup>+</sup> type polycrystalline silicon layer 15 in the upper part and has aluminum system electrode 17 in the opening selectively provided in the upper part of the n<sup>+</sup> type polycrystalline silicon layer 7 and the p<sup>+</sup> type polycrystalline silicon layer 8 and on the n<sup>+</sup> type polycrystalline silicon layer 15.

[0027] Next the main making processes of the semiconductor device which serves as the 1st example of this invention using drawing 2 are shown.

[0028] An n-type semiconductor (n type silicon layer 4) is formed by epitaxial growth after forming the n<sup>+</sup> type buried layer 2 which made the p<sup>-</sup> type silicon substrate 1 shown in drawing 1 diffuse arsenic and the p<sup>+</sup> type buried layer 3 which diffused boron and the localized-oxidation-of-silicon layer 5 is formed by the selective oxidation method by a nitride and PR. Then the silicon oxide 6 about 40 nm thick is grown up and only the field which forms a collector electrode carries out the opening of the silicon oxide 6.

[0029] Next the portion which serves as a collector electrode and a base electrode by the growth back PR in the polycrystalline silicon layer 8 about 200 nm thick is formed. Then is made a collector-electrode part by the ion implantation of the boron is carried out to base electrode parts and the n<sup>+</sup> type silicon field 9 is formed in the n<sup>+</sup> type polycrystalline silicon layer 7 lower part which serves as a collector electrode by performing heat treatment after forming the silicon nitride film 10 in the whole surface.

[0030] Next it is etched on the p<sup>+</sup> type polycrystalline silicon layer 8 and an opening is provided in the silicon nitride film 10 and the p<sup>+</sup> type polycrystalline silicon layer 8 by anisotropic etching (drawing 2 (a)).

[0031] Next a p<sup>+</sup> type polycrystalline silicon layer side position is retreated from the side position of the silicon nitride film 10 by carrying out isotropic etching of the p<sup>+</sup> type polycrystalline silicon layer 8. Subsequently by etching an oxide film using dilution fluoric acid liquid the n type silicon layer 4 is exposed and also an eaves-like structure part is provided in the p<sup>+</sup> type polycrystalline silicon layer 8 lower part (drawing 2 (b)). As an example of the method of retreating the p<sup>+</sup> type polycrystalline silicon layer 8 there are a method of exposing to isotropic plasma gas and the method of carrying out isotropic etching with the mixed liquor of fluoric acid and nitric acid.

[0032] Next SiMBE (molecular beam epitaxy) or ultrahigh-vacuum CVD (UHV/CVD) art of gas source performs alternative crystal growth. As a result the p<sup>+</sup> type polycrystalline silicon film 13 is formed in the n type semiconductor layer (n type silicon layer 4) surface at the intrinsic base layer 12 the p<sup>+</sup> type polycrystalline silicon layer 8 all side and the bottom. Under the present circumstances it is connected certainly continuously without the p<sup>+</sup> type polycrystalline silicon film side and the intrinsic base layer surface sandwiching an interface by the p<sup>+</sup> type polycrystalline silicon film 13 contacting the intrinsic base layer 12 in the middle of growth and also growing up the intrinsic base layer 12. As an example of the alternative crystal growth of the p<sup>+</sup> type polycrystalline silicon film 13 (drawing 2 (c)) which grew up to be all the sides of the p<sup>+</sup> type polycrystalline silicon layer 8 when based on the gas source SiMBE it is the substrate temperature of 560 °C and about Si<sub>2</sub>H<sub>6</sub>:70 sccm.

[0033] Next the silicon oxide 14 is formed in the opening part by anisotropic etching after forming silicon oxide in the whole surface.

Subsequently polycrystalline silicon is selectively grown up into the silicon surface in an opening the n<sup>+</sup> type polycrystalline silicon layer 15 is formed by carrying out the ion implantation of the arsenic and heat-treating it and also arsenic is spread from it to

the intrinsic base layer 12 and the emitter 16 is formed (drawing 2 (d)). Next the semiconductor device of drawing 1 is realizable for the silicon nitride film 10 after a contact opening by forming aluminum system electrode 17 on each polycrystalline silicon layer for electrodes.

[0034] As for the retreat amount of the  $p^+$  type polycrystalline silicon layer 8  $1/2$  or more [ of the amount of growth to the side of the  $p^+$  type polycrystalline silicon film 13 ] is preferred and it retreats an amount of growth and a said grade more preferably. Under the present circumstances although dispersion comes out of the  $p^+$  type polycrystalline silicon film 13 to thickness by the plane direction of the silicon crystal exposed to all the sides of the  $p^+$  type polycrystalline silicon layer 8. By retreating the  $p^+$  type polycrystalline silicon layer 8 according to desired thickness. Since it can press down that a polycrystalline silicon film jumps out too much inside an opening and an opening size can be stabilized and the size of the silicon oxide 14 can be stabilized. pressure-proofing between emitter bases can be stabilized.

[0035] Example 2 -- this example is a case where silicon oxide is used instead of the silicon nitride film 10. In this case instead of the silicon oxide 6 make the lower part into the silicon oxide 6 and the upper part is made into the two-layer structure of the silicon nitride film 6a. The etching quantity of the silicon oxide 10a can be minimized by etching the silicon oxide which carried out isotropic etching of the silicon nitride film 6a instead of carrying out isotropic etching of the silicon oxide 6 in drawing 2 (b) and was exposed after that.

[0036] In this invention the emitter 16 may be selectively grown epitaxially like the intrinsic base layer 12.

[0037] Resistance of a base electrode can be reduced by considering it as the two-layer structure in which the film which has the heat resistance of not less than  $950^\circ\text{C}$  such as a WSi (tungsten silicide) layer for the  $p^+$  type polycrystalline silicon layer 8 top on the upper surface was formed.

[0038]

[Effect of the Invention] As shown above according to this invention (1) base drawer resistance can fully be reduced. Since connection in the side can increase further resistance can be lowered and the side etch of the silicon oxide 6 can be lessened if the silicon oxide 6 is made still thinner. base collector junction area becomes small and miniaturization and low capacity-ization can also be realized simultaneously.

(2) Since neither an emitter size nor the pressure-proofing between emitter bases is affected even if dispersion arises by a plane direction in the poly growth thickness from the base-electrode side in order to retreat the base-electrode side from the upside nitride the stable transistor can be provided.

---

## DESCRIPTION OF DRAWINGS



---

[Brief Description of the Drawings]

[Drawing 1] Drawing of longitudinal section of the semiconductor device by the first example of this invention.

[Drawing 2] The sectional view of main processes showing the first example manufacturing method of this invention.

[Drawing 3] The sectional view showing the semiconductor device of conventional technology.

[Description of Notations]

- 1 p<sup>-</sup> type silicon substrate
  - 2 n<sup>+</sup> type buried layer
  - 3 p<sup>+</sup> type buried layer
  - 4 N type silicon layer
  - 5 Localized-oxidation-of-silicon layer
  - 6 Silicon oxide
  - 6a Silicon nitride film
  - 7 n<sup>+</sup> type polycrystalline silicon layer
  - 8 p<sup>+</sup> type polycrystalline silicon layer
  - 9 n<sup>+</sup> type silicon field
  - 10 Silicon nitride film
  - 10a Silicon oxide
  - 11 Silicon oxide
  - 12 Intrinsic base layer
  - 13 p<sup>+</sup> type polycrystalline silicon film
  - 14 Silicon oxide
  - 15 n<sup>+</sup> type polycrystalline silicon layer
  - 16 Emitter
  - 17 aluminum system electrode
-

(11)特許出願公開番号

特開平11-354530

(43)公開日 平成11年(1999)12月24日

FI

H O 1 L 29/72

29/73

審査請求 有 請求項の数8 O L (全 6 頁)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 澤入 明弘

東京都港区芝五丁目7番1号 日本電気株式会社内

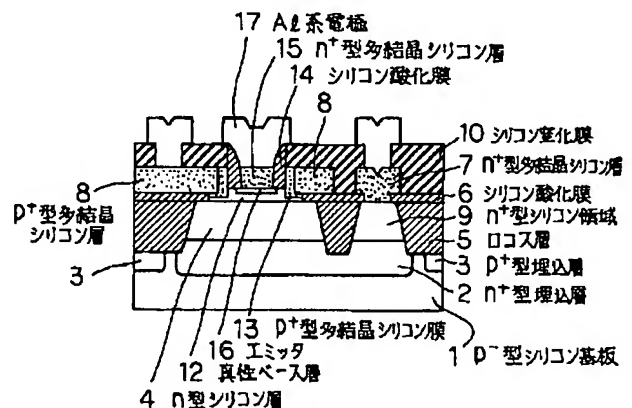
(74)代理人 弁理士 若林 忠 (外4名)

(54)【発明の名称】 パイポーラ型半導体装置およびその製造方法

(57) 【要約】

【課題】 ベース層を選択的エピタキシャル成長によって形成する自己整合バイポーラトランジスタで、真性ベースと電極ポリシリコンとの接続抵抗を低減する。

【解決手段】 ひさし状の構造を有するベース電極用多結晶シリコン層 8 の開口側壁下部および側面に多結晶シリコン層 13 を選択的に成長させ、真性ベース層 12 と接続させる際、多結晶シリコン層 8 を上部の絶縁層よりも多結晶シリコン層 13 の厚みの  $1/2$  以上サイドエッチさせることにより、低ベース抵抗と十分な耐圧を有するバイポーラトランジスタを形成する。



#### 【特許請求の範囲】

【請求項1】 ベース電極用p<sup>+</sup>型多結晶シリコン層が接続用p<sup>+</sup>型多結晶シリコン膜を介して真性ベース層と接続されるバイポーラ型半導体装置において、該p<sup>+</sup>型多結晶シリコン層の側面を該p<sup>+</sup>型多結晶シリコン層上部に形成された第2の絶縁膜の側面位置より後退させ、該p<sup>+</sup>型多結晶シリコン層の全側面とp<sup>+</sup>型多結晶シリコン層下部の第1の絶縁膜とにより形成されるひさし状構造部分に、該p<sup>+</sup>型多結晶シリコン膜が形成されてなるバイポーラ型半導体装置。

【請求項2】 前記第二の絶縁膜よりの後退量が前記接続用p<sup>+</sup>型多結晶シリコン膜の膜の厚みの1/2以上であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 第一の絶縁膜がシリコン酸化膜またはシリコン窒化膜、あるいはこれらの複合膜であることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 第二の絶縁膜がシリコン窒化膜またはシリコン酸化膜、あるいはこれらの多層膜であることを特徴とする請求項1ないし3の何れか1項に記載の半導体装置。

【請求項5】 n型半導体層上に第一の絶縁膜、p<sup>+</sup>型多結晶シリコン層および第二の絶縁膜を順次形成する工程と、PRにより第二の絶縁膜とp<sup>+</sup>型多結晶シリコン層の一部を順次異方性エッチングし開口を形成する工程と、p<sup>+</sup>型多結晶シリコン層の側面をエッチングして第2の絶縁膜の側面位置より後退させる工程と、前記第一の絶縁膜を等方性エッチングし前記n型半導体層表面を露出し、かつ第一の絶縁膜側面をp<sup>+</sup>型多結晶シリコン層の側面より後退させてひさし状構造部分を形成させる工程と、選択的結晶成長法によりn型半導体層表面に真性ベース層を成長させ、かつ開口内に露出したp<sup>+</sup>型多結晶シリコン層の全側面および底面にp<sup>+</sup>型多結晶シリコン膜を成長させ、かつ前記n型半導体層が前記p<sup>+</sup>型多結晶シリコン膜の底面と側面とで接続されるように形成する工程と、前記開口内の前記第二の絶縁膜および前記p<sup>+</sup>型多結晶シリコン膜の側面にシリコン酸化膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 前記第二の絶縁膜よりの後退量が前記接続用p<sup>+</sup>型多結晶シリコン膜の膜の厚みの1/2以上であることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 第一の絶縁膜がシリコン酸化膜またはシリコン窒化膜、あるいはこれらの複合膜であることを特徴とする請求項5または6に記載の半導体装置の製造方法。

【請求項8】 第二の絶縁膜がシリコン窒化膜またはシリコン酸化膜、あるいはこれらの多層膜であることを特徴とする請求項5～7の何れかに記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、バイポーラ型半導体装置に関し、特に、真性ベースと引き出し電極との接続抵抗を低減した半導体装置に関する。

【0002】

【従来の技術】 従来のバイポーラトランジスタの例が公開特許公報平05-235017に開示されている。これを図3に示す。

【0003】 開示された従来のバイポーラトランジスタは、抵抗率が10～20Ω・cmでありかつ(100)面方位を有するp<sup>-</sup>型シリコン基板101の表面に、n<sup>+</sup>型埋込層102およびチャネルストップ用のp<sup>+</sup>型埋込層103を有し、それらの上に濃度約1×10<sup>17</sup>cm<sup>-3</sup>、厚さ約0.4μmのn型シリコンエピタキシャル層104を有し、素子間を分離するためのロコス層105、コレクタ電極引き出し用としてのn<sup>+</sup>型リン拡散層109、ベース電極用多結晶シリコン層108とエピタキシャル層とを分離するシリコン窒化膜106a、p型3×10<sup>18</sup>cm<sup>-3</sup>、厚さ60nm(ナノメートル)の単結晶シリコン真性ベース層112、真性ベース層112と多結晶シリコン層108とを接続する多結晶シリコン膜113およびn型不純物が添加された単結晶エミッタ116とを有する。ベース、エミッタおよびコレクタ領域は各々ベース電極用多結晶シリコン層108、コレクタ電極用多結晶シリコン層107およびエミッタ用多結晶シリコン層115を有し、金属電極と電極用多結晶シリコンとを分離しているシリコン酸化膜110aを介してAl系電極117を有する。

【0004】

【発明が解決しようとする課題】 この従来技術では、ベース電極用多結晶シリコン層108と真性ベース層112を接続する真性ベース引出し用多結晶シリコン層113はベース電極用多結晶シリコン層108の底面および側面に設けられているが、多結晶シリコン層108側面全面に設けていないため、接続抵抗が十分に小さくならない。また、真性ベース層112との接続は、主に多結晶シリコン層113の下部のみでなされ、この領域は面と面が接触することにより接続されるため、成長膜厚の不均一性に起因して一部でしか接触しておらず、接続抵抗が十分に小さくならないという問題点があった。

【0005】

【課題を解決するための手段】 本発明の半導体装置は、真性ベース層および接続用p<sup>+</sup>型多結晶シリコン膜を選択的に成長させる際に、ベース電極用p<sup>+</sup>型多結晶シリコン層の側面全体を露出し、さらに上部のシリコン窒化膜等の絶縁層の側面よりも後退させ、接続用p<sup>+</sup>型多結晶シリコン膜は、真性ベース層と側面および底面にて接続され、またp<sup>+</sup>型多結晶シリコン膜側面での接続幅を

の下部にあるシリコン酸化膜等の絶縁膜を従来の技術よりも薄くするものである。

【0006】すなわち、本発明は、ベース電極用p<sup>+</sup>型多結晶シリコン層が接続用p<sup>+</sup>型多結晶シリコン膜を介して真性ベース層と接続されるバイポーラ型半導体装置において、該p<sup>+</sup>型多結晶シリコン層の側面を該p<sup>+</sup>型多結晶シリコン層上部に形成された第2の絶縁膜の側面位置より後退させ、該p<sup>+</sup>型多結晶シリコン層の全側面とp<sup>+</sup>型多結晶シリコン層下部の第1の絶縁膜とにより形成されるひさし状構造部分に、該p<sup>+</sup>型多結晶シリコン膜が形成されてなるバイポーラ型半導体装置である。

【0007】上記した本発明において前記第二の絶縁膜よりの後退量が前記接続用p<sup>+</sup>型多結晶シリコン膜の膜の厚みの1/2以上であることが好ましい。

【0008】上記または前記において、第一の絶縁膜がシリコン酸化膜またはシリコン窒化膜、あるいはこれらの複合膜であることが好ましい。

【0009】上記または前記において、第二の絶縁膜がシリコン窒化膜またはシリコン酸化膜、あるいはこれらの多層膜であることが好ましい。

【0010】本発明は更に、n型半導体層上に第一の絶縁膜、p<sup>+</sup>型多結晶シリコン層および第二の絶縁膜を順次形成する工程と、PRにより第二の絶縁膜とp<sup>+</sup>型多結晶シリコン層の一部を順次異方性エッチングし開口を形成する工程と、p<sup>+</sup>型多結晶シリコン層の側面をエッチングして第2の絶縁膜の側面位置より後退させる工程と、前記第一の絶縁膜を等方性エッチングし前記n型半導体層表面を露出し、かつ第一の絶縁膜側面をp<sup>+</sup>型多結晶シリコン層の側面より後退させてひさし状構造部分を形成させる工程と、選択的結晶成長法によりn型半導体層表面に真性ベース層を成長させ、かつ開口内に露出したp<sup>+</sup>型多結晶シリコン層の全側面および底面にp<sup>+</sup>型多結晶シリコン膜を成長させ、かつ前記n型半導体層が前記p<sup>+</sup>型多結晶シリコン膜の底面と側面とで接続されるように形成する工程と、前記開口内の前記第二の絶縁膜および前記p<sup>+</sup>型多結晶シリコン膜の側面にシリコン酸化膜を形成する工程とを有することを特徴とする半導体装置の製造方法をも提供するものである。

【0011】前記第二の絶縁膜よりの後退量が前記接続用p<sup>+</sup>型多結晶シリコン膜の膜の厚みの1/2以上であることが好ましい。

【0012】第一の絶縁膜がシリコン酸化膜またはシリコン窒化膜、あるいはこれらの複合膜であることが好ましい。

【0013】第二の絶縁膜がシリコン窒化膜またはシリコン酸化膜、あるいはこれらの多層膜であることが好ましい。

【0014】

【発明の実施の形態】本発明では、n型半導体層であるp<sup>+</sup>型シリコン層4上に第一の絶縁膜であるシリコン酸化

膜6、ベース電極用半導体膜であるp<sup>+</sup>型多結晶シリコン層8、第二の絶縁膜であるシリコン窒化膜10を順次形成し（例えば図2の（a）参照）、PRおよび異方性エッチングにより第二の絶縁膜であるシリコン窒化膜10およびp<sup>+</sup>型多結晶シリコン層8の一部を除去する。

【0015】次に、p<sup>+</sup>型多結晶シリコン層8の全側面を第二の絶縁膜であるシリコン窒化膜10の側面よりも後退させることにより、真性ベース層12を選択的に成長させる際にp<sup>+</sup>型多結晶シリコン層8の全側面に同時に形成されるp<sup>+</sup>型多結晶シリコン膜13が開口内部に過度に飛び出さないようにする。シリコン窒化膜の側面より後退させる量は、好ましくはp<sup>+</sup>型多結晶シリコン膜13の膜厚の1/2以上、より好ましくは膜厚と同程度の後退をさせる。過度の後退は電極までの抵抗が大きくなり、不都合が生じる。

【0016】その後、第一の絶縁膜であるシリコン酸化膜6を等方性エッチングすることによりn型シリコン層4を露出し、かつp<sup>+</sup>型多結晶シリコン層8の下部にひさし状構造部分を形成し、その後選択的結晶成長を行うことにより、n型シリコン層4表面にボロンを含む真性ベース層12を形成し、同時にp<sup>+</sup>型多結晶シリコン層8の露出した全側面および下部にp<sup>+</sup>型多結晶シリコン膜13を形成する。

【0017】真性ベース層12の上面とp<sup>+</sup>型多結晶シリコン膜13の底面は成長途中で接触し、更に成長することでp<sup>+</sup>型多結晶シリコン膜13と真性ベース層であるp<sup>+</sup>型多結晶シリコン層8表面が界面を挟むことなく連続し、確実に接続される。これにより、接続により生じるベース抵抗を更に低減することができる。

【0018】p<sup>+</sup>型多結晶シリコン層8は、単結晶でもよく、また、高融点金属シリサイド層等の950℃程度の耐熱性を有する低抵抗膜との複合膜でもよい。

【0019】第一の絶縁膜であるシリコン酸化膜6と第二の絶縁膜であるシリコン窒化膜10の構成は、第一の絶縁膜であるシリコン酸化膜6を等方性エッチングする際に第二の絶縁膜であるシリコン窒化膜10がほとんどエッチングされないようにする。第一の絶縁膜であるシリコン酸化膜6は少なくとも表面がシリコン酸化膜、第二の絶縁膜であるシリコン窒化膜10は少なくとも表面がシリコン窒化膜となるようにするのが一般的であるが、他の構成も可能である。

【0020】

【実施例】次に、本発明について図面を参照して説明する。

【0021】実施例1

図1は本発明の第一の実施例となる半導体装置の縦断面図である。npn型バイポーラトランジスタについて説明するが、pnp型についても同様である。

【0022】本発明の半導体装置は、抵抗率が10～200Ω・cmであり、（100）面方位のp<sup>+</sup>型シリコン

基板1表面に $n^+$ 型埋込層2およびチャンネルストップパとなる $p^+$ 型埋込層3を有し、それらの上に濃度約 $1 \times 10^{17} \text{ cm}^{-3}$ 、厚さ約 $0.4 \mu\text{m}$ の $n$ 型シリコン層4を有し、 $n$ 型シリコン層4表面から半導体基板に達する酸化膜のロコス層5を部分的に有する。

【0023】第一の絶縁膜であるシリコン酸化膜6が $n$ 型シリコン層4およびロコス層5上に設けられており、ロコス層のない領域に部分的に設けられた開口の一方にコレクタ電極となる $n^+$ 型多結晶シリコン層7を有し、 $n^+$ 型多結晶シリコン層7と接する $n$ 型シリコン層4の表面から下方に $n^+$ 型シリコン領域9を有する。

【0024】他方の開口の周囲上部には、開口から一定の長さだけ開口上に水平に突き出したベース電極用 $p^+$ 型多結晶シリコン層8を有し、その上に $p^+$ 型多結晶シリコン層8よりも開口上に水平に突き出した第二の絶縁膜であるシリコン窒化膜10を有する。

【0025】開口内部の $n$ 型シリコン層4上にはボロン濃度が約 $3 \times 10^{18} \text{ cm}^{-3}$ 、厚さが約 $60 \text{ nm}$ である真性ベース層12を有し、 $p^+$ 型多結晶シリコン層8の全側面および底面に設けられた $p^+$ 型多結晶シリコン膜13の底面および側面と接続されている。

【0026】真性ベース層12の周囲の開口側面には真性ベース層12に接するシリコン酸化膜14を有し、シリコン酸化膜14によって形成された開口内の真性ベース層12表面にエミッタ16を有し、その上部に $n^+$ 型多結晶シリコン層15を有し、 $n^+$ 型多結晶シリコン層7および $p^+$ 型多結晶シリコン層8の上部に部分的に設けられた開口部内、および $n^+$ 型多結晶シリコン層15上にA1系電極17を有する。

【0027】次に、図2を用いて本発明の第1の実施例となる半導体装置の主要な作製工程を示す。

【0028】図1に示す $p^-$ 型シリコン基板1にヒ素を拡散させた $n^+$ 型埋込層2、およびボロンを拡散させた $p^+$ 型埋込層3を形成後、エピタキシャル成長により $n$ 型半導体（ $n$ 型シリコン層4）を形成し、窒化膜とPRによる選択酸化法によりロコス層5を形成する。その後、厚さ約 $40 \text{ nm}$ のシリコン酸化膜6を成長し、コレクタ電極を形成する領域のみシリコン酸化膜6を開口する。

【0029】次に厚さ約 $200 \text{ nm}$ の多結晶シリコン層8を成長後PRによりコレクタ電極およびベース電極となる部分を形成し、コレクタ電極部にはリンを、ベース電極部にはボロンをイオン注入し、全面にシリコン窒化膜10を形成後、熱処理を施すことでコレクタ電極となる $n^+$ 型多結晶シリコン層7下部に $n^+$ 型シリコン領域9を形成する。

【0030】次に、 $p^+$ 型多結晶シリコン層8上にPRを施し、異方性エッチングによりシリコン窒化膜10および $p^+$ 型多結晶シリコン層8に開口を設ける（図2（a））。

【0031】次に、 $p^+$ 型多結晶シリコン層8を等方性エッチングすることにより $p^+$ 型多結晶シリコン層側面位置をシリコン窒化膜10の側面位置より後退させ、次いで希釈弗酸液を用いて酸化膜をエッチングすることにより $n$ 型シリコン層4を露出させ、更に $p^+$ 型多結晶シリコン層8下部にひさし状構造部分を設ける（図2（b））。

$p^+$ 型多結晶シリコン層8を後退させる方法の例としては、等方性プラズマガスにさらす方法、弗酸と硝酸の混合液で等方性エッチングする方法がある。

【0032】次に、ガスソースのSiMBE（分子線エピタキシー）または超高真空CVD（UHV/CVD）技術により選択的結晶成長を行う。その結果、 $n$ 型半導体層（ $n$ 型シリコン層4）表面に真性ベース層12、 $p^+$ 型多結晶シリコン層8全側面および底面に $p^+$ 型多結晶シリコン膜13が形成される。この際、成長途中で真性ベース層12と $p^+$ 型多結晶シリコン膜13が接触し、更に真性ベース層12を成長させることで $p^+$ 型多結晶シリコン膜側面と真性ベース層表面が界面を挟むことなく連続し、確実に接続される。また、 $p^+$ 型多結晶シリコン層8の全側面に成長した $p^+$ 型多結晶シリコン膜13（図2（c））の選択的結晶成長の一例としては、ガスソースSiMBEによる場合は基板温度 $560^\circ\text{C}$ 、 $\text{Si}_2\text{H}_6 : 70 \text{ sccm}$ 程度である。

【0033】次に、全面にシリコン酸化膜を形成後、異方性エッチングにより開口内側壁にシリコン酸化膜14を形成する。次いで開口内シリコン表面に選択的に多結晶シリコンを成長させ、ヒ素をイオン注入し熱処理することで $n^+$ 型多結晶シリコン層15が形成され、更にそれからヒ素が真性ベース層12へと拡散してエミッタ16が形成される（図2（d））。次にシリコン窒化膜10にコンタクト開口後、各電極用多結晶シリコン層上にA1系電極17を形成することで図1の半導体装置を実現できる。

【0034】 $p^+$ 型多結晶シリコン層8の後退量は、 $p^+$ 型多結晶シリコン膜13の側面への成長量の $1/2$ 以上が好ましく、より好ましくは成長量と同程度を後退させる。この際、 $p^+$ 型多結晶シリコン膜13は $p^+$ 型多結晶シリコン層8の全側面に露出したシリコン結晶の面方位によって厚さにばらつきが出るが、所望の膜厚に応じて $p^+$ 型多結晶シリコン層8を後退させることにより、開口内部に多結晶シリコン膜が過度に飛び出すことを押さえ、開口寸法を安定化させることができ、また、シリコン酸化膜14の寸法を安定化させることができることから、エミッターベース間耐圧を安定化できる。

【0035】実施例2

この実施例は、シリコン窒化膜10の代わりにシリコン酸化膜を用いる場合である。この場合には、シリコン酸化膜6の代わりに、下部をシリコン酸化膜6、上部をシリコン窒化膜6aの二層構造とし、図2（b）においてシリコン酸化膜6を等方性エッチングする代わりにシリ

コン窒化膜6 aを等方性エッチングし、その後露出したシリコン酸化膜をエッチングすることにより、シリコン酸化膜10 aのエッチング量を最小限にとどめることができる。

【0036】また、本発明では、エミッタ16を真性ベース層12と同様に選択的にエピタキシャル成長してもよい。

【0037】また、 $p^+$ 型多結晶シリコン層8上をその上面にWSi（タングステンシリサイド）層等の950℃以上の耐熱性を有する膜を形成した2層構造とすることでベース電極の抵抗を低減できる。

【0038】

【発明の効果】以上に示したように、本発明によれば、

(1) ベース引き出し抵抗を十分に低減できる。シリコン酸化膜6を更に薄くすれば側面での接続が更に増え、更に抵抗を下げることができ、また、シリコン酸化膜6のサイドエッチを少なくすることができるためベースコレクタ接合面積が小さくなり小型化、低容量化も同時に実現できる。

(2) ベース電極側面を上部の窒化膜より後退させているため、ベース電極側面からのポリ成長厚が面方位によりばらつきが生じても、エミッタ寸法やエミッターベース間耐圧に影響を与えないため、安定したトランジスタを提供できる。

【図面の簡単な説明】

【図1】本発明の第一の実施例による半導体装置の縦断面図。

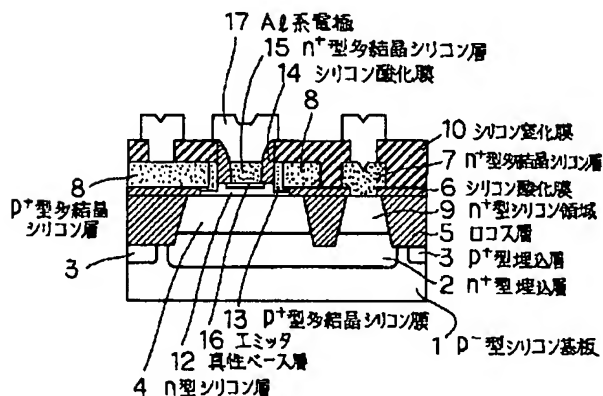
【図2】本発明の第一の実施例作製方法を示す主要工程の断面図。

【図3】従来技術の半導体装置を示す断面図。

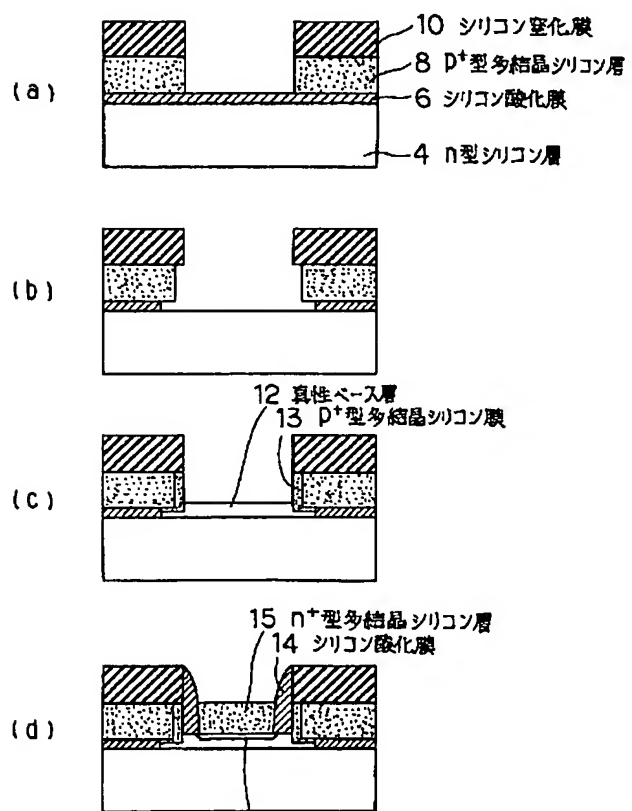
【符号の説明】

- |      |                 |
|------|-----------------|
| 1    | $p^-$ 型シリコン基板   |
| 2    | $n^+$ 型埋込層      |
| 3    | $p^+$ 型埋込層      |
| 4    | $n$ 型シリコン層      |
| 5    | ロコス層            |
| 6    | シリコン酸化膜         |
| 6 a  | シリコン窒化膜         |
| 7    | $n^+$ 型多結晶シリコン層 |
| 8    | $p^+$ 型多結晶シリコン層 |
| 9    | $n^+$ 型シリコン領域   |
| 10   | シリコン窒化膜         |
| 10 a | シリコン酸化膜         |
| 11   | シリコン酸化膜         |
| 12   | 真性ベース層          |
| 13   | $p^+$ 型多結晶シリコン膜 |
| 14   | シリコン酸化膜         |
| 15   | $n^+$ 型多結晶シリコン層 |
| 16   | エミッタ            |
| 17   | Al系電極           |

【図1】



【図2】



【図 3】

